

# FPGA化による コストダウンサービス

EOL対応だけではもったいない！  
FPGAに周辺回路も取り込んで  
大幅なコストダウンを実現！

■お問い合わせ先■

株式会社Wave Technology URL : <https://www.wti.jp>  
本社 : 〒666-0024 兵庫県川西市久代3丁目13番21号  
営業部 : TEL 072-758-2938

Wave Technologyの  
ウェブサイト

WTI社

検索

メールでのお問い合わせ先 : [tech@wti.jp](mailto:tech@wti.jp)

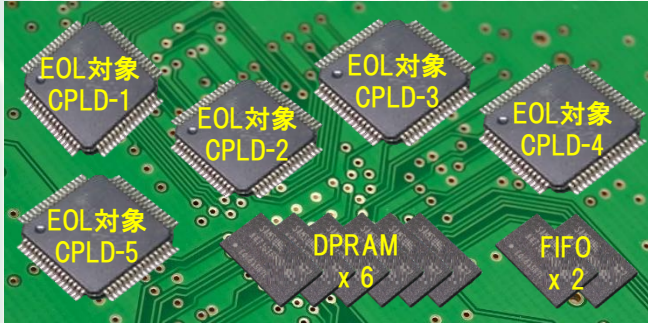
3-②





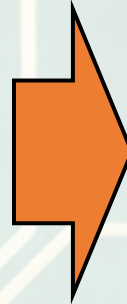
# 今まで個別のデバイスで構成されていた基板の部品点数を大幅に削減してコストダウンを実現

## どうしてコストダウンできるのか!?



### 元回路構成

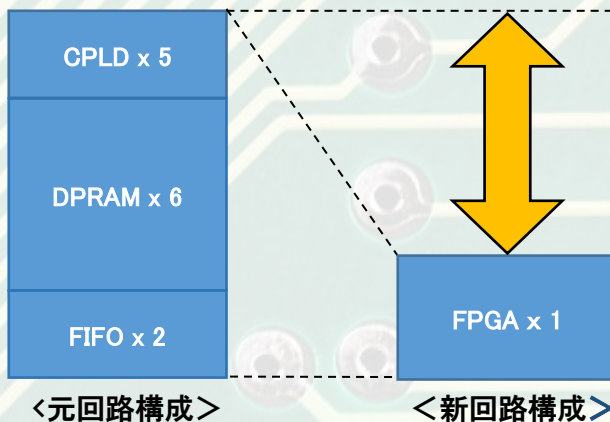
- ・CPLD x 5
- ・DPRAM x 6
- ・FIFO x 2



### 新回路構成

- ・新型FPGA x 1

### ■ 部品代比較イメージ



- ★ 開発委託費がかかっても生産台数によって全体でコストダウンが可能!



※ 見積り段階でコストダウン可能か判断いたします。

CPLD複数個を1個のFPGAに集約することでコストダウンの他にも

以下のメリットが得られます。

1. **消費電力の低減**(上記例では元回路構成:1242mW→新回路構成:260mW 約1/5に低減)
2. 今はまだEOL対象ではない周辺回路もFPGAに取り込むことで**将来のEOL対策も安心**。

設計資料が無くても現行品のリバース解析から対応いたします。

メールでのお問い合わせ先 : [tech@wti.jp](mailto:tech@wti.jp)